

CLIPPEDIMAGE= JP403255657A

PAT-NO: JP403255657A

DOCUMENT-IDENTIFIER: JP 03255657 A

TITLE: HYBRID INTEGRATED CIRCUIT DEVICE

PUBN-DATE: November 14, 1991

INVENTOR-INFORMATION:

NAME

KOYANAGI, AKIO

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP02054119

APPL-DATE: March 5, 1990

INT-CL (IPC): H01L025/065;H01L021/60 ;H01L025/07  
;H01L025/18 ;H05K001/18

US-CL-CURRENT: 257/777,257/778

ABSTRACT:

PURPOSE: To enable components to be densely mounted on a board by a method wherein two IC chips are mounted on the board making their rear sides overlap each other, and one of them is connected through a flip chip bonding method and the other is connected through a wire bonding method.

CONSTITUTION: Two IC chips 3 bonded together through a non-conductive adhesive agent 5 making their rear sides overlap each other are mounted on a board 1. The IC chips 3 are mounted on the board 1 through such a way that in one of the IC chips 3, a metallized electrode 2 provided onto the board 1 is electrically

connected to a metallized electrode 12 formed on the chip 3 with a bump 6 through a flip chip bonding method, and in the other of the IC chips 3, the metallized electrodes 2 and 12 are electrically connected together with a gold wire 4 through a wire bonding method.

COPYRIGHT: (C)1991, JPO&Japio

## ⑫ 公開特許公報 (A) 平3-255657

⑬ Int. Cl. 5

H 01 L 25/065  
21/60  
25/07  
25/18

H 05 K 1/18

識別記号

3 1 1 S

庁内整理番号

6918-5F

⑭ 公開 平成3年(1991)11月14日

S 6736-4E

7638-5F

H 01 L 25/08

B

審査請求 未請求 請求項の数 1 (全2頁)

⑮ 発明の名称 混成集積回路装置

⑯ 特 願 平2-54119

⑰ 出 願 平2(1990)3月5日

⑱ 発明者 小柳 昭夫 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代理人 弁理士 内原 晋

## 明細書

発明の名称

混成集積回路装置

特許請求の範囲

ICチップを実装した混成集積回路装置において、2個の前記ICチップのそれぞれの裏面を重ねて一方の前記ICチップをフリップチップ接続と、他方の前記ICチップをワイヤーボンディング接続を用い実装することを特徴とする混成集積回路装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は混成集積回路装置に関し、特に2つの重なっているICチップを実装した混成集積回路装置に関する。

〔従来の技術〕

従来の混成集積回路装置は、第2図に示すよう

に、基板1上に2個のICチップ3を横に並べて同一平面上にマウントし、ICチップ3のメタライズ電極12と基板上のメタライズ電極2を金線4で電気的に接続して実装されていた。

〔発明が解決しようとする課題〕

上述した従来の2個のICチップを基板上に実装する方法としては、第2図に示すように、ICチップ3を横に並べて同一平面上に実装されていた。

しかしながら、ICチップ3 2個分のスペースが基板1上に必要になり、実装面積の低減をはかるには限界があった。

本発明の目的は、実装面積の低減により、高密度実装が可能な混成集積回路装置を提供することにある。

〔課題を解決するための手段〕

本発明は、ICチップを実装した混成集積回路装置において、2個の前記ICチップのそれぞれの裏面を重ねて一方の前記ICチップをフリップチップ接続と、他方の前記ICチップをワイヤー

ポンディング接続を用い実装されている。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例の断面図である。

第1図に示すように、基板1上に、2個のICチップ3のそれぞれの裏面を非導電性接着剤5により接続し、一方をフリップチップ接続を用いて基板1上のメタライズ電極2とICチップ上に形成されたメタライズ電極12をバンプ6により電気的に接続し、他方をワイヤーボンディング接続を用いてメタライズ電極2、12を金線4により電気的に接続し、基板1上に実装されている。

〔発明の効果〕

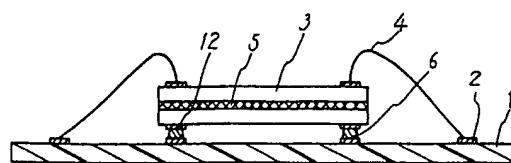
以上説明したように本発明は、一方をフリップチップ接続と他方をワイヤーボンディング接続を用いて、2個のICチップのそれぞれの裏面を重ねて基板上に実装することにより部品搭載を高密度化できる効果がある。

図面の簡単な説明

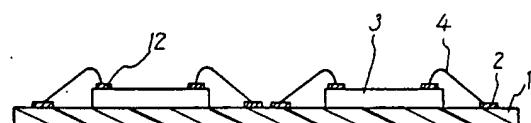
第1図は本発明の一実施例の断面図、第2図は従来の混成集積回路装置の1例の断面図である。

1…基板、2、12…メタライズ電極、3…ICチップ、4…金線、5…非導電性接着剤、6…バンプ。

代理人弁理士内原晋



第1図



第2図

- 1 基板
- 2,12 メタライズ電極
- 3 ICチップ
- 4 金線
- 5 非導電性接着剤
- 6 バンプ